

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-77336  
(P2000-77336A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード<sup>\*</sup> (参考)

H 0 1 L 21/205  
33/00

H 0 1 L 21/205  
33/00

5 F 0 4 1  
C 5 F 0 4 5

審査請求 未請求 請求項の数23 O L (全 11 頁)

(21) 出願番号

特願平10-243486

(22) 出願日

平成10年8月28日 (1998.8.28)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 原 昌輝

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

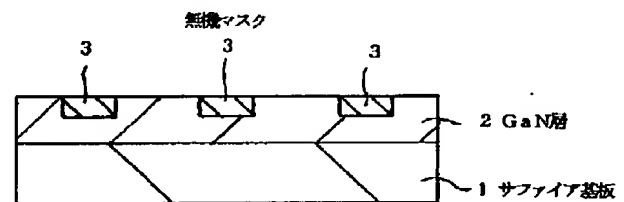
最終頁に続く

(54) 【発明の名称】 半導体成長用基板およびその製造方法ならびに半導体装置

(57) 【要約】 (修正有)

【課題】 一主面がⅢⅤ族窒化物系半導体からなる基板に無機マスクを用い横方向エピタキシャル成長をさせる際、成長層を薄くでき、マスクエッジ部の形状が成長層の欠陥伝搬方向に影響を与えず、成長層とマスク間に空隙発生の確率が極く低い半導体成長用基板とその製造方法、及びこの基板を用いた半導体装置を提供する。

【解決手段】 サファイア基板1上にGa<sub>2</sub>N層2を成長させ、その表面に無機マスク3をGa<sub>2</sub>N層表面が実質平坦になるよう形成し、半導体成長用基板とする。無機マスク3はGa<sub>2</sub>N層2にSiとOまたはNをイオン注入後加熱するか、Ga<sub>2</sub>N層2にSiをイオン注入後、OまたはNを含む雰囲気中で加熱するか、Ga<sub>2</sub>N層上にSi膜を選択的に形成後Si膜を酸化または窒化することにより形成される。この基板にGa<sub>2</sub>N層を横方向エピタキシャル成長させ、その上に素子層を成長させてGa<sub>2</sub>N系半導体レーザなどの半導体装置を製造する。



## 【特許請求の範囲】

【請求項1】 少なくとも一主面が窒化物系ⅢⅢ-Ⅴ族化合物半導体からなる基板の上記一主面に、横方向エピタキシャル成長用マスクとしての無機マスクが、上記一主面が実質的に平坦な状態で設けられていることを特徴とする半導体成長用基板。

【請求項2】 上記無機マスクが上記基板の改質層からなることを特徴とする請求項1記載の半導体成長用基板。

【請求項3】 上記無機マスクが上記窒化物系ⅢⅢ-Ⅴ族化合物半導体と酸化シリコンおよび／または窒化シリコンとが混合したものからなることを特徴とする請求項1記載の半導体成長用基板。

【請求項4】 少なくとも一主面が窒化物系ⅢⅢ-Ⅴ族化合物半導体からなる基板の上記一主面にシリコンおよび酸素を選択的に導入した後、上記基板を加熱して上記シリコンと上記酸素とを反応させることにより上記基板の上記一主面に酸化シリコンを選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法。

【請求項5】 イオン注入法、イオンクラスタービーム法またはプラズマドーピング法により上記基板の上記一主面に上記シリコンおよび上記酸素を選択的に導入するようにしたことを特徴とする請求項4記載の半導体成長用基板の製造方法。

【請求項6】 少なくとも一主面が窒化物系ⅢⅢ-Ⅴ族化合物半導体からなる基板の上記一主面にシリコンを選択的に導入した後、上記基板を少なくとも酸素を含む雰囲気中において加熱して上記シリコンと上記酸素とを反応させることにより上記基板の上記一主面に酸化シリコンを選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法。

【請求項7】 イオン注入法、イオンクラスタービーム法またはプラズマドーピング法により上記基板の上記一主面に上記シリコンを選択的に導入するようにしたことを特徴とする請求項6記載の半導体成長用基板の製造方法。

【請求項8】 少なくとも一主面が窒化物系ⅢⅢ-Ⅴ族化合物半導体からなる基板の上記一主面にシリコンを選択的に導入した後、上記基板を酸素プラズマ処理して上記シリコンと上記酸素とを反応させることにより上記基板の上記一主面に酸化シリコンを選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法。

【請求項9】 イオン注入法、イオンクラスタービーム法またはプラズマドーピング法により上記基板の上記一主面に上記シリコンを選択的に導入するようにしたことを特徴とする請求項8記載の半導体成長用基板の製造方法。

【請求項10】 少なくとも一主面が窒化物系ⅢⅢ-Ⅴ族化合物半導体からなる基板の上記一主面にシリコン

および窒素を選択的に導入した後、上記基板を加熱して上記シリコンと上記窒素とを反応させることにより上記基板の上記一主面に窒化シリコンを選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法。

【請求項11】 イオン注入法、イオンクラスタービーム法またはプラズマドーピング法により上記基板の上記一主面に上記シリコンおよび上記窒素を選択的に導入するようにしたことを特徴とする請求項10記載の半導体成長用基板の製造方法。

【請求項12】 少なくとも一主面が窒化物系ⅢⅢ-Ⅴ族化合物半導体からなる基板の上記一主面にシリコンを選択的に導入した後、上記基板を少なくとも窒素を含む雰囲気中において加熱して上記シリコンと上記窒素とを反応させることにより上記基板の上記一主面に窒化シリコンを選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法。

【請求項13】 イオン注入法、イオンクラスタービーム法またはプラズマドーピング法により上記基板の上記一主面に上記シリコンを選択的に導入するようにしたことを特徴とする請求項12記載の半導体成長用基板の製造方法。

【請求項14】 少なくとも一主面が窒化物系ⅢⅢ-Ⅴ族化合物半導体からなる基板の上記一主面にシリコンを選択的に導入した後、上記基板を窒素プラズマ処理して上記シリコンと上記窒素とを反応させることにより上記基板の上記一主面に窒化シリコンを選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法。

【請求項15】 イオン注入法、イオンクラスタービーム法またはプラズマドーピング法により上記基板の上記一主面に上記シリコンを選択的に導入するようにしたことを特徴とする請求項14記載の半導体成長用基板の製造方法。

【請求項16】 少なくとも一主面が窒化物系ⅢⅢ-Ⅴ族化合物半導体からなる基板の上記一主面上にシリコン膜を選択的に形成した後、上記基板を少なくとも酸素を含む雰囲気中において加熱して上記シリコン膜のシリコンと上記酸素とを反応させることにより上記基板の上記一主面に酸化シリコン膜を選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法。

【請求項17】 少なくとも一主面が窒化物系ⅢⅢ-Ⅴ族化合物半導体からなる基板の上記一主面上にシリコン膜を選択的に形成した後、上記基板を酸素プラズマ処理して上記シリコン膜のシリコンと上記酸素とを反応させることにより上記基板の上記一主面に酸化シリコン膜を選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法。

【請求項18】 少なくとも一主面が窒化物系ⅢⅢ-Ⅴ族化合物半導体からなる基板の上記一主面上にシリコ

ン膜を選択的に形成した後、上記基板を少なくとも窒素を含む雰囲気中において加熱して上記シリコン膜のシリコンと上記窒素とを反応させることにより上記基板の上記一主面に窒化シリコン膜を選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法。

【請求項19】 少なくとも一主面が窒化物系III-V族化合物半導体からなる基板の上記一主面上にシリコン膜を選択的に形成した後、上記基板を窒素プラズマ処理して上記シリコン膜のシリコンと上記窒素とを反応させることにより上記基板の上記一主面に窒化シリコン膜を選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法。

【請求項20】 窒化物系III-V族化合物半導体を用いた半導体装置において、少なくとも一主面が窒化物系III-V族化合物半導体からなり、上記一主面に横方向エピタキシャル成長用マスクとしての無機マスクが上記一主面が実質的に平坦な状態で設けられている基板と、上記基板の上記一主面上に横方向エピタキシャル成長された窒化物系III-V族化合物半導体層とを有することを特徴とする半導体装置。

【請求項21】 上記無機マスクが上記基板の改質層からなることを特徴とする請求項20記載の半導体装置。

【請求項22】 上記無機マスクが上記窒化物系III-V族化合物半導体と酸化シリコンまたは窒化シリコンとが混合したものからなることを特徴とする請求項20記載の半導体装置。

【請求項23】 上記半導体装置が半導体発光素子であることを特徴とする請求項20記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体成長用基板およびその製造方法ならびに半導体装置に関し、特に、窒化物系III-V族化合物半導体を用いた半導体レーザや発光ダイオードあるいは電子走行素子などに適用して好適なものである。

【0002】

【従来の技術】半導体層のエピタキシャル成長において、半導体層中の欠陥密度を減少させるために、横方向エピタキシャル成長(Epitaxial Lateral Overgrowth, ELO)法と呼ばれる成長技術が知られており(例えば、J. Jpn. Appl. Phys., vol. 28, no. 3, pp. L337-339, 1989)、Ga<sub>0.5</sub>Nの成長に適用する試みが行われている(例えば、日本学術振興会短波長光デバイス第162委員会第7回研究会および光電相互変換第125委員会第160回研究会の合同研究会資料(平成9年9月26日)、p. 18-24)。この横方向エピタキシャル成長法においては、成長させる半導体層の欠陥密度を下げるために、基板上にSiO<sub>2</sub>膜などからなる無機マスクを形成した後、その上に半導体層を成長させる。

【0003】従来、この横方向エピタキシャル成長法において用いられる無機マスクの形成は、次のようにして行われていた。すなわち、まず、基板上に化学気相成長(CVD)法により例えばSiO<sub>2</sub>膜を成膜する。このSiO<sub>2</sub>膜の厚さは、通常、0.1μm以上である。次に、このSiO<sub>2</sub>膜上にフォトリソグラフィにより所定形状のレジストパターンを形成する。次に、このレジストパターンをマスクとしてSiO<sub>2</sub>膜をドライエッチング法またはウェットエッチング法によりエッチングした後、レジストパターンを除去する。これによって、無機マスクが形成される。

【0004】

【発明が解決しようとする課題】しかしながら、半導体層の欠陥密度を下げるための無機マスクとしてSiO<sub>2</sub>膜を用いる上述の従来の横方向エピタキシャル成長法では、少なくともSiO<sub>2</sub>膜の厚さの分だけは余計に半導体層を成長させなければならないため、成長時間が余計にかかり、特に半導体層の成長速度が遅い場合は不利である。

【0005】また、SiO<sub>2</sub>膜からなる無機マスクのエッジ部分のエッチング形状(特に、角度)は、横方向エピタキシャル成長法により成長される半導体層における欠陥の伝搬方向に影響を与えるため、厳密な制御を行う必要があるが、これは実際上極めて困難である。

【0006】さらに、無機マスクを構成するSiO<sub>2</sub>膜は基板上にCVD法により成膜されたものであるため、基板表面にはこのSiO<sub>2</sub>膜の厚さ分の高さの段差が存在する。このため、この基板上に横方向エピタキシャル成長を行う際に、成長する半導体層と無機マスクとの間に空隙(ボイド)が生じるおそれがあり、好ましくない。

【0007】したがって、この発明の目的は、少なくとも一主面が窒化物系III-V族化合物半導体からなる基板上に無機マスクを用いて横方向エピタキシャル成長を行う場合に、成長層の厚さを薄くすることができ、無機マスクのエッジ部分の形状が成長層における欠陥の伝搬方向に影響を与える問題がなく、しかも成長層と無機マスクとの間に空隙が生じるおそれが非常に少ない半導体成長用基板およびその製造方法ならびにこの半導体成長用基板を用いた半導体装置を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、この発明の第1の発明は、少なくとも一主面が窒化物系III-V族化合物半導体からなる基板の一主面に、横方向エピタキシャル成長用マスクとしての無機マスクが、一主面が実質的に平坦な状態で設けられていることを特徴とする半導体成長用基板である。

【0009】この発明の第2の発明は、少なくとも一主面が窒化物系III-V族化合物半導体からなる基板の一主面にシリコンおよび酸素を選択的に導入した後、基

板を加熱してシリコンと窒素とを反応させることにより一主面に酸化シリコンを選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法である。

【0010】この発明の第3の発明は、少なくとも一主面が窒化物系ⅡⅡⅠ-V族化合物半導体からなる基板の一主面にシリコンを選択的に導入した後、基板を少なくとも窒素を含む雰囲気中において加熱してシリコンと窒素とを反応させることにより基板の一主面に酸化シリコンを選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法である。

【0011】この発明の第4の発明は、少なくとも一主面が窒化物系ⅡⅡⅠ-V族化合物半導体からなる基板の一主面にシリコンを選択的に導入した後、基板を酸素プラズマ処理してシリコンと窒素とを反応させることにより基板の一主面に酸化シリコンを選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法である。

【0012】この発明の第5の発明は、少なくとも一主面が窒化物系ⅡⅡⅠ-V族化合物半導体からなる基板の一主面にシリコンおよび窒素を選択的に導入した後、基板を加熱してシリコンと窒素とを反応させることにより基板の一主面に窒化シリコンを選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法である。

【0013】この発明の第6の発明は、少なくとも一主面が窒化物系ⅡⅡⅠ-V族化合物半導体からなる基板の一主面にシリコンを選択的に導入した後、基板を少なくとも窒素を含む雰囲気中において加熱してシリコンと窒素とを反応させることにより基板の一主面に窒化シリコンを選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法である。

【0014】この発明の第7の発明は、少なくとも一主面が窒化物系ⅡⅡⅠ-V族化合物半導体からなる基板の一主面にシリコンを選択的に導入した後、基板を窒素プラズマ処理してシリコンと窒素とを反応させることにより基板の一主面に窒化シリコンを選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法である。

【0015】この発明の第8の発明は、少なくとも一主面が窒化物系ⅡⅡⅠ-V族化合物半導体からなる基板の一主面上にシリコン膜を選択的に形成した後、基板を少なくとも窒素を含む雰囲気中において加熱してシリコン膜のシリコンと窒素とを反応させることにより基板の一主面に酸化シリコン膜を選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法である。

【0016】この発明の第9の発明は、少なくとも一主面が窒化物系ⅡⅡⅠ-V族化合物半導体からなる基板の一主面上にシリコン膜を選択的に形成した後、基板を酸素プラズマ処理してシリコン膜のシリコンと窒素とを反応させることにより基板の一主面に酸化シリコン膜を選

択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法である。

【0017】この発明の第10の発明は、少なくとも一主面が窒化物系ⅡⅡⅠ-V族化合物半導体からなる基板の一主面上にシリコン膜を選択的に形成した後、基板を少なくとも窒素を含む雰囲気中において加熱してシリコン膜のシリコンと窒素とを反応させることにより基板の一主面に窒化シリコン膜を選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法である。

10 【0018】この発明の第11の発明は、少なくとも一主面が窒化物系ⅡⅡⅠ-V族化合物半導体からなる基板の一主面上にシリコン膜を選択的に形成した後、基板を窒素プラズマ処理してシリコン膜のシリコンと窒素とを反応させることにより基板の一主面に窒化シリコン膜を選択的に形成するようにしたことを特徴とする半導体成長用基板の製造方法である。

【0019】この発明の第12の発明は、少なくとも一主面が窒化物系ⅡⅡⅠ-V族化合物半導体からなり、一主面に横方向エピタキシャル成長用マスクとしての無機マスクが一主面が実質的に平坦な状態で設けられている基板と、基板の一主面上に横方向エピタキシャル成長された窒化物系ⅡⅡⅠ-V族化合物半導体層とを有することを特徴とする半導体装置である。

【0020】この発明において、半導体成長用基板は、典型的には窒化物系ⅡⅡⅠ-V族化合物半導体の成長に用いられるが、その他の半導体の成長に用いてもよい。

【0021】この発明において、窒化物系ⅡⅡⅠ-V族化合物半導体は、Ga、Al、InおよびBからなる群より選ばれた少なくとも一種のⅡⅡⅠ族元素と、少なくともNを含み、場合によってはAsまたはPを含むV族元素とからなる。この窒化物系ⅡⅡⅠ-V族化合物半導体は典型的にはGaを含むものであり、具体的には、例えば、GaN、AlGa<sub>0.5</sub>N、GaInN、AlGaInNなどである。

【0022】この発明において、基板は、典型的には、サファイア(単結晶Al<sub>2</sub>O<sub>3</sub>)基板などの上に単結晶の窒化物系ⅡⅡⅠ-V族化合物半導体層、例えば単結晶Ga<sub>0.5</sub>N層を成長させたものである。また、この基板は、十分に厚い窒化物系ⅡⅡⅠ-V族化合物半導体層、例えばGa<sub>0.5</sub>N層からなるものであってもよい。

【0023】この発明の第1および第12の発明において、「一主面が実質的に平坦」とは、無機マスクの表面が基板の一主面と同一平面内にある場合のほか、無機マスクの表面が基板の一主面と異なる高さにあるが、この無機マスクの表面と基板の一主面との高さの差が、横方向エピタキシャル成長を行う際に成長層と無機マスクとの間に空隙が生じない値以下である場合も含むことを意味する。この無機マスクの表面と基板の一主面との高さの差は、成長層の材料、無機マスクの材料、無機マスクの開口部の幅などによって異なることもあるが、例え

ば、50nm以下、好適には30nm以下、より好適には10nm以下である。

【0024】この発明の第1および第12の発明において、無機マスクは、典型的には、基板の改質層、具体的には、例えば、基板を構成する窒化物系III-V族化合物半導体と酸化シリコン( $\text{SiO}_2$ )、窒化シリコン( $\text{Si}_3\text{N}_4$ )またはこれらの両者とが混合したものからなる。あるいは、この無機マスクは、基板の一主面上に選択的に形成されたシリコン膜を酸化または窒化することにより少なくともその表面に形成された酸化シリコン膜または窒化シリコン膜からなるものであってもよい。

また、この無機マスクの厚さは、この半導体成長用基板上に横方向エピタキシャル成長を行うのに必要な成長の選択性が得られる範囲内で自由に選ぶことができ、この無機マスクを構成する膜の膜質が良好であれば、1原子層ないし数原子層の厚さで足りる場合もあり得る。

【0025】この発明の第2〜第7の発明において、基板の一主面へのシリコン、酸素または窒素の導入には、イオン注入法、イオンクラスタービーム法、プラズマドーピング法などを用いることができる。

【0026】この発明の第3または第8の発明において、酸素を含む雰囲気としては、 $\text{O}_2$ を含む雰囲気のほか、 $\text{O}_3$ （オゾン）を含む雰囲気を用いてもよい。

【0027】この発明の第8〜第11の発明において、シリコン膜は、基本的には結晶性を問わないが、典型的には、非晶質または多結晶である。このシリコン膜の厚さは、このシリコン膜のシリコンと酸素または窒素との反応により、基板の一主面に横方向エピタキシャル成長用の無機マスクとして必要な厚さの酸化シリコン膜または窒化シリコン膜を形成することができ、かつ、この酸化シリコン膜または窒化シリコン膜の基板の一主面からの高さが、横方向エピタキシャル成長を行う際に成長層と無機マスクとの間に空隙が生じない厚さに選ばれ、通常は無機マスクとして従来より用いられている $\text{SiO}_2$ 膜に比べてかなり薄くて済む。具体的には、このシリコン膜の厚さは、例えば、1原子層分の厚さ以上で、50nm以下、好適には30nm以下、より好適には10nm以下に選ばれる。

【0028】この発明の第12の発明において、半導体装置は、窒化物系III-V族化合物半導体を用いたものであれば基本的にはどのようなものであってもよいが、具体的には、半導体レーザや発光ダイオードなどの半導体発光素子、あるいは、GaN系FETなどの電子走行素子である。

【0029】上述のように構成されたこの発明の第1および第12の発明によれば、横方向エピタキシャル成長用マスクとしての無機マスクが、基板の一主面が実質的に平坦な状態で設けられていることにより、従来のようにCVD法により成膜された $\text{SiO}_2$ 膜を無機マスクとして用いる場合における問題が一挙に解決される。すな

わち、無機マスクの厚さ分だけ余計に成長を行う必要がなくなるか、余計に成長を行う必要があるにしても多少で済むので、成長層の厚さを薄くすることができ、また、無機マスクのエッジ部分の形状が成長層における欠陥の伝搬方向に影響を与える問題がなく、しかも成長層と無機マスクとの間に空隙が生じるおそれが非常に少ない。

【0030】上述のように構成されたこの発明の第2〜第7の発明によれば、少なくとも一主面が窒化物系III-V族化合物半導体からなる基板の一主面へのシリコン、酸素などの導入およびその後の加熱処理あるいはプラズマ処理により、その基板の一主面に無機マスクを基板の一主面が実質的に平坦な状態で形成することができる。

【0031】上述のように構成されたこの発明の第8〜第11の発明によれば、少なくとも一主面が窒化物系III-V族化合物半導体からなる基板の一主面へのシリコン膜の形成およびその後の酸化または窒化処理により、その基板の一主面に無機マスクを基板の一主面が実質的に平坦な状態で形成することができる。

【0032】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。

【0033】図1は、この発明の第1の実施形態による半導体成長用基板を示す。

【0034】図1に示すように、この第1の実施形態による半導体成長用基板においては、例えばc面方位のサファイア基板1上に単結晶のGa<sub>0.9</sub>N<sub>0.1</sub>層2が積層され、このGa<sub>0.9</sub>N<sub>0.1</sub>層2の表面にライン・アンド・スペース形状の無機マスク3が、Ga<sub>0.9</sub>N<sub>0.1</sub>層2の表面が実質的に平坦な状態で設けられている。この無機マスク3はGa<sub>0.9</sub>N<sub>0.1</sub>に $\text{SiO}_2$ 成分が混じった改質層からなる。Ga<sub>0.9</sub>N<sub>0.1</sub>層2の厚さは例えば2μmである。また、この無機マスク3のライン幅およびスペース幅は、例えばそれぞれ0.5μmおよび1μmである。

【0035】次に、上述のように構成された半導体成長用基板の製造方法について説明する。

【0036】まず、図2Aに示すように、サファイア基板1上にGa<sub>0.9</sub>N<sub>0.1</sub>層2をエピタキシャル成長させる。このGa<sub>0.9</sub>N<sub>0.1</sub>層2のエピタキシャル成長には、例えば有機金属化学気相成長(MOCVD)法を用いる。このGa<sub>0.9</sub>N<sub>0.1</sub>層2の成長条件の一例を挙げると、成長原料としてトリメチルガリウム(TM<sub>0.9</sub>G<sub>0.1</sub>)およびアンモニア( $\text{NH}_3$ )を用い、それらの流量をそれぞれ50SCCMおよび20SLMとし、反応圧力を500Torr、基板温度を700〜1000℃とする。

【0037】次に、図2Bに示すように、Ga<sub>0.9</sub>N<sub>0.1</sub>層2上に紫外線を用いたフォトリソグラフィにより所定のライン・アンド・スペース形状のレジストパターン4を形成する。このレジストパターン4の形成は、具体的には

次のようにして行う。すなわち、まず、GaN層2の全面にポジ型のレジストを塗布し、このレジストをマスクアライナーにおいて所定のフォトマスクを用いて例えば高圧水銀ランプによるg線(波長436nm)により露光した後、レジストの現像を行うことにより、レジストパターン4を形成する。このレジストパターン4のライン幅およびスペース幅は、例えばそれぞれ1 $\mu$ mおよび0.5 $\mu$ mである。

【0038】次に、レジストパターン4が形成されたGaN層2の全面にシリコン(Si)をイオン注入する(図2B中、GaN層2中に注入されたSiを・で示す)。このSiのイオン注入の加速エネルギーは、無機マスク3を効率よく形成するために、GaN層2の表面付近のSi濃度が高くなるように低めに設定され、具体的には例えば20keVに選ばれ、また、ドーズ量は例えば $1 \times 10^{17} \text{ cm}^{-2}$ に選ばれる。

【0039】次に、図2Cに示すように、レジストパターン4が形成されたGaN層2の全面に酸素(O)をイオン注入する(図2C中、GaN層2中に注入されたOを×で示す)。このOのイオン注入の加速エネルギーは、GaN層2の表面に注入されたSiの分布とこのOの分布とが重なるように選ばれ、具体的には例えば10keVに選ばれ、ドーズ量は例えばSiのドーズ量の2倍の $2 \times 10^{17} \text{ cm}^{-2}$ に選ばれる。

【0040】次に、レジストパターン4を除去した後、図2Dに示すように、サファイア基板1を例えば真空中に保持されたアニール炉6中で加熱することにより、GaN層2に注入されたSiとOとを反応させて $\text{SiO}_x$ を形成し、GaNに $\text{SiO}_x$ 成分が混じった改質層からなる無機マスク3を形成する。この加熱温度は、SiとOとの反応により $\text{SiO}_x$ が形成される温度以上であることが必要とされ、例えば800℃程度である。また、加熱時間は例えば30分である。

【0041】以上により、目的とする図1に示すような半導体成長用基板が容易に製造される。

【0042】以上のように、この第1の実施形態によれば、GaN層2の表面に無機マスク3がこのGaN層2の表面が実質的に平坦な状態で設けられていることにより、この半導体成長用基板上にGaN系半導体の横方向エピタキシャル成長を行う場合に、従来と異なり、そのGaN系半導体を無機マスク3の厚さの分だけ余計にエピタキシャル成長させる必要がなく、また、無機マスク3のエッジ部分の形状が欠陥の伝搬方向に影響を与えるおそれもなく、さらに、再成長層と無機マスク3との間に空隙が生じる可能性も非常に少ない。

【0043】次に、この発明の第2の実施形態について説明する。この第2の実施形態においては、第1の実施形態による半導体成長用基板の他の製造方法について説明する。

【0044】この第2の実施形態においては、図3Aに

示すように、まず、サファイア基板1上にGaN層2をエピタキシャル成長させる。このGaN層2のエピタキシャル成長には、例えばMOCVD法を用いる。このGaN層2の成長条件は第1の実施形態と同様である。

【0045】次に、図3Bに示すように、GaN層2上に紫外線を用いたフォトリソグラフィーにより所定のライン・アンド・スペース形状のレジストパターン4を形成する。このレジストパターン4の形成方法は第1の実施形態と同様である。

【0046】次に、レジストパターン4が形成されたGaN層2の全面にSiをイオン注入する(図3B中、GaN層2中に注入されたSiを・で示す)。このSiのイオン注入の条件は第1の実施形態と同様である。

【0047】次に、レジストパターン4を除去した後、図3Cに示すように、サファイア基板1をアニール炉5内に入れ、このサファイア基板1を800℃程度に加熱した状態で、アニール炉5内に $\text{O}_2$ ガスを流して圧力を760Torrに設定し、60分間保持する。この結果、GaN層2中に注入されたSiとアニール炉5内の $\text{O}_2$ とが反応して $\text{SiO}_x$ が形成され、GaNに $\text{SiO}_x$ 成分が混じった改質層からなる無機マスク3が形成される。

【0048】以上により、目的とする図1に示すような半導体成長用基板が製造される。

【0049】以上のように、この第2の実施形態によれば、イオン注入技術、熱処理技術などにより、第1の実施形態による半導体成長用基板を容易に製造することができる。

【0050】次に、この発明の第3の実施形態について説明する。この第3の実施形態においては、第1の実施形態による半導体成長用基板のさらに他の製造方法について説明する。

【0051】この第3の実施形態においては、第2の実施形態におけるアニール炉5において $\text{O}_2$ ガスを流して酸化を行う代わりに、図示省略したチャンバー内で酸素プラズマ処理を行うことにより、GaN層2中に注入されたSiと $\text{O}_2$ とを反応させて $\text{SiO}_x$ を形成し、GaNに $\text{SiO}_x$ 成分が混じった改質層からなる無機マスク3を形成する。この酸素プラズマ処理の条件の一例を挙げると、アニール炉5内に $\text{O}_2$ ガスを500SCCM流して圧力を300mTorrに保ち、13.56MHzのRF電源から500Wの電力を投入して $\text{O}_2$ プラズマを平行平板電極間に発生させ、この $\text{O}_2$ プラズマ中にサファイア基板1を10分保持する。その他のことは、第1の実施形態による半導体成長用基板の製造方法と同様であるので、説明を省略する。

【0052】次に、この発明の第4の実施形態について説明する。この第4の実施形態においては、第1の実施形態による半導体成長用基板のさらに他の製造方法について説明する。



## 1.1

【0053】この第4の実施形態においては、図4Aに示すように、まず、サファイア基板1上にGa<sub>0.9</sub>N<sub>0.1</sub>層2をエピタキシャル成長させる。このGa<sub>0.9</sub>N<sub>0.1</sub>層2のエピタキシャル成長には、例えばMOCVD法を用いる。このGa<sub>0.9</sub>N<sub>0.1</sub>層2の成長条件は第1の実施形態と同様である。

【0054】次に、図4Bに示すように、Ga<sub>0.9</sub>N<sub>0.1</sub>層2上に所定のライン・アンド・スペース形状のレジストパターン4を形成する。このレジストパターン4の形成方法は第1の実施形態と同様である。

【0055】次に、図4Cに示すように、レジストパターン4が形成されたGa<sub>0.9</sub>N<sub>0.1</sub>層2の全面に例えばプラズマCVD法により十分に薄い水素化アモルファスSi(a-Si:H)膜6を成膜する。このa-Si:H膜6の厚さは例えば5nmである。

【0056】次に、図4Dに示すように、リフトオフ法によりレジストパターン4を除去することにより、ライン・アンド・スペース形状のa-Si:H膜6をGa<sub>0.9</sub>N<sub>0.1</sub>層2上に残す。具体的には、例えば、サファイア基板1をアセトン中に漬け、超音波振動を与えることにより、レジストパターン4をその上に成膜されたa-Si:H膜6とともに除去し、Ga<sub>0.9</sub>N<sub>0.1</sub>層2上に直接成膜されたa-Si:H膜6のみを残すことにより、ライン・アンド・スペース形状のa-Si:H膜6を得る。

【0057】次に、図4Eに示すように、サファイア基板1をアニール炉5内に入れ、このサファイア基板1を800℃程度に加熱した状態で、アニール炉5内にO<sub>2</sub>ガスを流して圧力を760Torrに設定し、30分間保持する。これによって、a-Si:H膜6のSiとアニール炉内のO<sub>2</sub>とが反応してSiO<sub>2</sub>が形成され、Ga<sub>0.9</sub>N<sub>0.1</sub>にSiO<sub>2</sub>成分が混じった改質層からなる無機マスク3が形成される。

【0058】次に、この発明の第5の実施形態について説明する。この第5の実施形態においては、図5に示すように、第1の実施形態による半導体成長用基板上に例えばMOCVD法によりGa<sub>0.9</sub>N<sub>0.1</sub>層7を横方向エピタキシャル成長させる。

【0059】この第5の実施形態によれば、半導体成長用基板のGa<sub>0.9</sub>N<sub>0.1</sub>層2の表面に無機マスク3がこのGa<sub>0.9</sub>N<sub>0.1</sub>層2の表面が実質的に平坦な状態で設けられていることにより、この基板上に再成長されるGa<sub>0.9</sub>N<sub>0.1</sub>層7の厚さを薄くすることができ、また、無機マスク3のエッジ部分の角度がGa<sub>0.9</sub>N<sub>0.1</sub>層7における欠陥の伝搬方向に影響を与えるおそれもなく、さらに、Ga<sub>0.9</sub>N<sub>0.1</sub>層7と無機マスク3との間に空隙が生じる可能性も非常に少ない。

【0060】次に、この発明の第6の実施形態によるGa<sub>0.9</sub>N<sub>0.1</sub>系半導体レーザについて説明する。図6にこのGa<sub>0.9</sub>N<sub>0.1</sub>系半導体レーザを示す。このGa<sub>0.9</sub>N<sub>0.1</sub>系半導体レーザはリッジ構造およびSCH(Separate Confinement Heterostructure)構造を有するものである。

【0061】図6に示すように、このGa<sub>0.9</sub>N<sub>0.1</sub>系半導体

## 1.2

レーザにおいては、第1の実施形態による半導体成長用基板と同様な基板が用いられている。すなわち、例えばc面方位のサファイア基板21上に単結晶のGa<sub>0.9</sub>N<sub>0.1</sub>層22が積層され、このGa<sub>0.9</sub>N<sub>0.1</sub>層22の表面にライン・アンド・スペース形状の無機マスク23が、Ga<sub>0.9</sub>N<sub>0.1</sub>層22の表面が実質的に平坦な状態で設けられている。この無機マスク23はGa<sub>0.9</sub>N<sub>0.1</sub>にSiO<sub>2</sub>成分が混じった改質層からなる。Ga<sub>0.9</sub>N<sub>0.1</sub>層22の厚さは例えば2μmである。また、この無機マスク23のライン幅およびスペース幅は、例えばそれぞれ0.5μmおよび1μmである。

【0062】そして、無機マスク23が形成されたGa<sub>0.9</sub>N<sub>0.1</sub>層22上にアンドープGa<sub>0.9</sub>N<sub>0.1</sub>層24、n型Ga<sub>0.9</sub>N<sub>0.1</sub>コンタクト層25、n型AlGa<sub>0.9</sub>N<sub>0.1</sub>クラッド層26、n型Ga<sub>0.9</sub>N<sub>0.1</sub>光導波層27、Ga<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N多重量子井戸構造の活性層28、p型AlGa<sub>0.9</sub>Nキャップ層29、p型Ga<sub>0.9</sub>N光導波層30、p型AlGa<sub>0.9</sub>Nクラッド層31およびp型Ga<sub>0.9</sub>Nコンタクト層32が順次積層されている。ここで、p型AlGa<sub>0.9</sub>Nキャップ層29は、p型Ga<sub>0.9</sub>N光導波層30、p型AlGa<sub>0.9</sub>Nクラッド層31およびp型Ga<sub>0.9</sub>Nコンタクト層32を1000℃程度の温度で成長させる際にGa<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N多重量子井戸構造の活性層28からInNが分解するのを防止するためのものである。

【0063】n型Ga<sub>0.9</sub>N<sub>0.1</sub>コンタクト層25の上層部、n型AlGa<sub>0.9</sub>N<sub>0.1</sub>クラッド層26、n型Ga<sub>0.9</sub>N<sub>0.1</sub>光導波層27、Ga<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N多重量子井戸構造の活性層28、p型AlGa<sub>0.9</sub>N<sub>0.1</sub>キャップ層29、p型Ga<sub>0.9</sub>N<sub>0.1</sub>光導波層30、p型AlGa<sub>0.9</sub>N<sub>0.1</sub>クラッド層31およびp型Ga<sub>0.9</sub>N<sub>0.1</sub>コンタクト層32は所定幅のメサ形状を有する。また、このメサ部におけるp型AlGa<sub>0.9</sub>N<sub>0.1</sub>クラッド層31の上層部およびp型Ga<sub>0.9</sub>N<sub>0.1</sub>コンタクト層32には一方向に延在する所定幅のリッジ部33が形成されている。メサ部の表面およびメサ部以外の部分のn型Ga<sub>0.9</sub>N<sub>0.1</sub>コンタクト層25の表面にはSiO<sub>2</sub>膜のような絶縁膜33が設けられている。この絶縁膜33には、リッジ部33の上の部分に開口34aが、メサ部に隣接する部分のn型Ga<sub>0.9</sub>N<sub>0.1</sub>コンタクト層25の上の部分に開口34bが設けられている。そして、リッジ部33をまたぐようにp側電極35が設けられており、絶縁膜34の開口34aを通じてリッジ部33のp型Ga<sub>0.9</sub>N<sub>0.1</sub>コンタクト層32とオーミックコンタクトしている。また、絶縁膜34の開口34bを通じてn型Ga<sub>0.9</sub>N<sub>0.1</sub>コンタクト層25上にn側電極36がオーミックコンタクトして設けられている。

【0064】次に、上述のように構成されたこの第6の実施形態によるGa<sub>0.9</sub>N<sub>0.1</sub>系半導体レーザの製造方法について説明する。

【0065】このGa<sub>0.9</sub>N<sub>0.1</sub>系半導体レーザを製造するには、まず、無機マスク23が選択的に形成されたGa<sub>0.9</sub>N<sub>0.1</sub>層22上に、MOCVD法により、アンドープGa<sub>0.9</sub>N<sub>0.1</sub>層

24を横方向エピタキシャル成長させる。次に、同じくMOCVD法により、アンドープGa<sub>0.9</sub>N層24上に、n型Ga<sub>0.9</sub>Nコンタクト層25、n型Al<sub>0.1</sub>Ga<sub>0.9</sub>Nクラッド層26、n型Ga<sub>0.9</sub>N光導波層27、Ga<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N多重量子井戸構造の活性層28、p型Al<sub>0.1</sub>GaNキャップ層29、p型Ga<sub>0.9</sub>N光導波層30、p型Al<sub>0.1</sub>GaNクラッド層31およびp型Ga<sub>0.9</sub>Nコンタクト層32を順次成長させる。ここで、Inを含まない層であるアンドープGa<sub>0.9</sub>N層24、n型Ga<sub>0.9</sub>Nコンタクト層25、n型Al<sub>0.1</sub>GaNクラッド層26、n型Ga<sub>0.9</sub>N光導波層27、p型Al<sub>0.1</sub>GaNキャップ層29、p型Ga<sub>0.9</sub>N光導波層30、p型Al<sub>0.1</sub>GaNクラッド層31およびp型Ga<sub>0.9</sub>Nコンタクト層32の成長温度は1000℃程度とし、Inを含む層であるGa<sub>1-x</sub>In<sub>x</sub>N/Ga<sub>1-y</sub>In<sub>y</sub>N多重量子井戸構造の活性層28の成長温度は700～800℃とする。これらのGa<sub>0.9</sub>N系半導体層の成長原料は、例えば、III族元素であるGaの原料としてはトリメチルガリウム(TM<sub>G</sub>)を、III族元素であるAlの原料としてはトリメチルアルミニウム(TMA)を、III族元素であるInの原料としてはトリメチルインジウム(TM<sub>I</sub>)を、V族元素であるNの原料としてはアンモニア(NH<sub>3</sub>)を用いる。また、キャリアガスとしては、例えば、水素(H<sub>2</sub>)と窒素(N<sub>2</sub>)との混合ガスを用いる。ドーパントについては、n型ドーパントとしては例えばモノシラン(SiH<sub>4</sub>)を、p型ドーパントとしては例えばメチルシクロペンタジエニルマグネシウム((MCp)<sub>2</sub>Mg)を用いる。

【0066】次に、p型Ga<sub>0.9</sub>Nコンタクト層32の全面に例えばCVD法、真空蒸着法、スパッタリング法などにより例えば厚さが0.4μmのSiO<sub>2</sub>膜を形成した後、このSiO<sub>2</sub>膜上にリソグラフィーにより所定形状のレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして例えばフッ酸系のエッチング液を用いたウエットエッチングによりSiO<sub>2</sub>膜をエッチングする。これによって、p型Ga<sub>0.9</sub>Nコンタクト層32上にSiO<sub>2</sub>膜からなるエッチングマスクが形成される。

【0067】次に、このエッチングマスクを用いて例えば反応性イオンエッチング(RIE)法によりn型Ga<sub>0.9</sub>Nコンタクト層25に達するまでエッチングを行う。このとき、例えば、n型Ga<sub>0.9</sub>Nコンタクト層25が0.5μmエッチングされるようにする。このRIEのエッチングガスとしては例えば塩素系ガスを用いる。

【0068】次に、エッチングマスクをエッチング除去した後、再び基板全面に例えばCVD法、真空蒸着法、スパッタリング法などにより例えば厚さが0.2μmのSiO<sub>2</sub>膜を形成した後、このSiO<sub>2</sub>膜上にリソグラフィーにより所定形状のレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして例えば

フッ酸系のエッチング液を用いたウエットエッチングによりSiO<sub>2</sub>膜をエッチングする。これによって、メサ部を含む基板表面にSiO<sub>2</sub>膜からなるエッチングマスクが形成される。

【0069】次に、このエッチングマスクを用いて例えばRIE法によりp型Ga<sub>0.9</sub>Nコンタクト層32の厚さ方向の所定の深さまでエッチングを行うことにより、リッジ部33を形成する。このRIEのエッチングガスとしては例えば塩素系ガスを用いる。

10 【0070】次に、リソグラフィーによりn側電極形成領域を除いた領域の表面を覆うレジストパターン(図示せず)を形成する。

【0071】次に、このレジストパターンをマスクとして絶縁膜34をエッチングすることにより、開口34bを形成する。

20 【0072】次に、このレジストパターンを残したままの状態では基板全面に例えば真空蒸着法によりTi膜、Al膜、Pt膜およびAu膜を順次形成した後、レジストパターンをその上に形成されたTi膜、Al膜、Pt膜およびAu膜とともに除去する(リフトオフ)。これによって、絶縁膜34の開口34bの部分におけるn型Ga<sub>0.9</sub>Nコンタクト層25上にTi/Al/Pt/Au構造のn側電極36が形成される。

【0073】次に、例えば、窒素ガス雰囲気中において800℃で10分熱処理を行うことにより、p型Al<sub>0.1</sub>GaNキャップ層29、p型Ga<sub>0.9</sub>N光導波層30、p型Al<sub>0.1</sub>GaNクラッド層31およびp型Ga<sub>0.9</sub>Nコンタクト層32にドーパされたp型不純物の電気的活性化を行うとともに、n側電極36のアロイ処理を行う。

30 【0074】次に、リソグラフィーによりリッジ部33の領域を除いた領域の表面を覆うレジストパターン(図示せず)を形成する。

【0075】次に、このレジストパターンをマスクとして絶縁膜34をエッチングすることにより開口34aを形成し、リッジ部33の上面を露出させる。

【0076】次に、リソグラフィーによりp側電極形成領域を除いた領域の表面を覆うレジストパターン(図示せず)を形成する。

40 【0077】次に、基板全面に例えば真空蒸着法によりNi膜、Pt膜およびAu膜を順次形成した後、レジストパターンをその上に形成されたNi膜、Pt膜およびAu膜とともに除去する。これによって、リッジ部33にまたがって、Ni/Pt/Au構造のp側電極35が形成される。次に、例えば、窒素ガス雰囲気中において600℃で20分熱処理を行うことにより、p側電極35のアロイ処理を行う。

【0078】この後、上述のようにしてレーザ構造が形成されたc面サファイア基板21をバー状に加工して両共振器端面を形成し、さらに端面コーティングを施した後、このバーをチップ化する。これによって、目的とす



るリッジ構造およびSCH構造のGa<sub>0.5</sub>N系半導体レーザが製造される。

【0079】この第6の実施形態によれば、無機マスク23が選択的に形成されたGa<sub>0.5</sub>N層22上に横方向エピタキシャル成長によりアンドープGa<sub>0.5</sub>N層24を良好な結晶性で成長させることができるので、その上に成長されるGa<sub>0.5</sub>N系半導体層も良好な結晶性とすることができ、このため特性の良好なGa<sub>0.5</sub>N系半導体レーザを製造することができる。

【0080】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0081】例えば、上述の第1～第6の実施形態において挙げた数値、材料、形状、構造、原料、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる数値、材料、形状、構造、原料、プロセスなどを用いてもよい。

【0082】具体的には、上述の第1～第6の実施形態においては、Ga<sub>0.5</sub>N系半導体のエピタキシャル成長にMOCVD法を用いているが、このGa<sub>0.5</sub>N系半導体のエピタキシャル成長には、例えばハイドライド気相エピタキシャル成長(HVPE)法を用いてもよく、さらには分子線エピタキシー(MBE)法を用いてもよい。

【0083】また、上述の第2の実施形態においては、Ga<sub>0.5</sub>N層2にSiが選択的にイオン注入されたサファイア基板1をO<sub>2</sub>ガス雰囲気中で加熱することによりSiO<sub>x</sub>を形成し、無機マスク3を形成しているが、O<sub>3</sub>ガス雰囲気中で加熱することによりSiO<sub>x</sub>を形成し、無機マスク3を形成してもよい。このときの条件の一例を挙げると、加熱温度は400℃、圧力は常圧、加熱時間は60分間である。

【0084】

【発明の効果】以上説明したように、この発明による半導体成長用基板によれば、基板の一主面に、横方向エピタキシャル成長用マスクとしての無機マスクが、上記一主面が実質的に平坦な状態で設けられていることによ

り、その上に横方向エピタキシャル成長を行う場合に、成長層の厚さを薄くすることができ、また、無機マスクのエッジ部分の形状が成長層における欠陥の伝搬方向に影響を与える問題がなく、しかも成長層と無機マスクとの間に空隙が生じるおそれがない。

【0085】この発明による半導体成長用基板の製造方法によれば、少なくとも一主面が窒化物系III-V族化合物半導体からなる基板の上記一主面に、横方向エピタキシャル成長用マスクとしての無機マスクが、上記一主面が実質的に平坦な状態で設けられている半導体成長用基板を容易に製造することができる。

【0086】この発明による半導体装置によれば、基板の一主面に、横方向エピタキシャル成長用マスクとしての無機マスクが、上記一主面が実質的に平坦な状態で設けられていることにより、この基板上に横方向エピタキシャル成長された半導体層は良好な結晶性のものとなり、このためこの半導体層上に成長される素子層も良好な結晶性のものとなり、これによって特性の良好な半導体装置を実現することができる。

20 【図面の簡単な説明】

【図1】この発明の第1の実施形態による半導体成長用基板を示す断面図である。

【図2】この発明の第1の実施形態による半導体成長用基板の製造方法を説明するための断面図である。

【図3】この発明の第2の実施形態による半導体成長用基板の製造方法を説明するための断面図である。

【図4】この発明の第4の実施形態による半導体成長用基板の製造方法を説明するための断面図である。

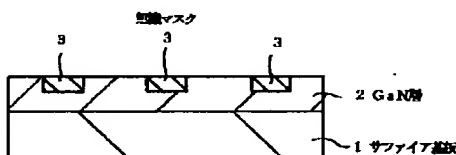
30 【図5】この発明の第5の実施形態による半導体成長用基板の製造方法を説明するための断面図である。

【図6】この発明の第6の実施形態によるGa<sub>0.5</sub>N系半導体レーザを示す断面図である。

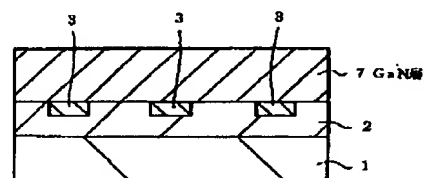
【符号の説明】

1、21・・・サファイア基板、2、7・・・Ga<sub>0.5</sub>N層、3、23・・・無機マスク、24・・・アンドープGa<sub>0.5</sub>N層

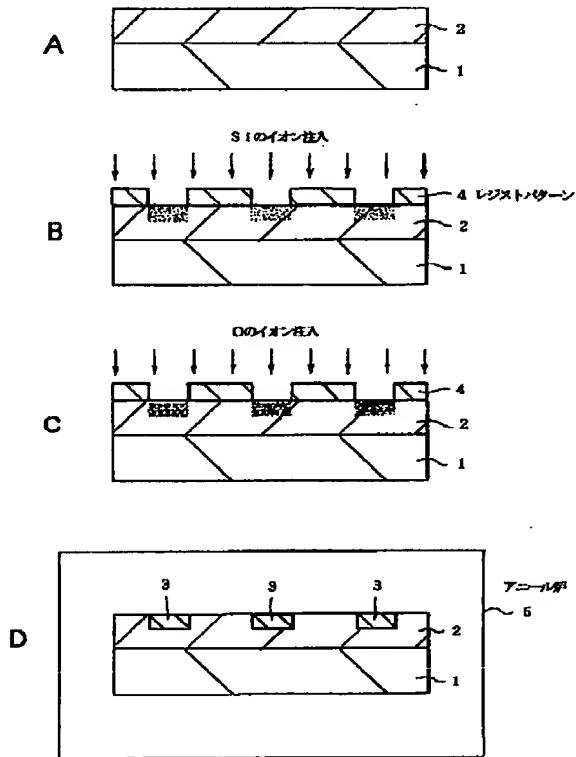
【図1】



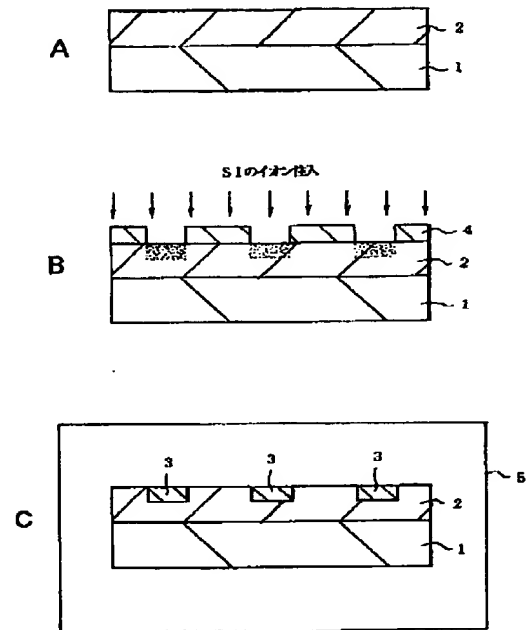
【図5】



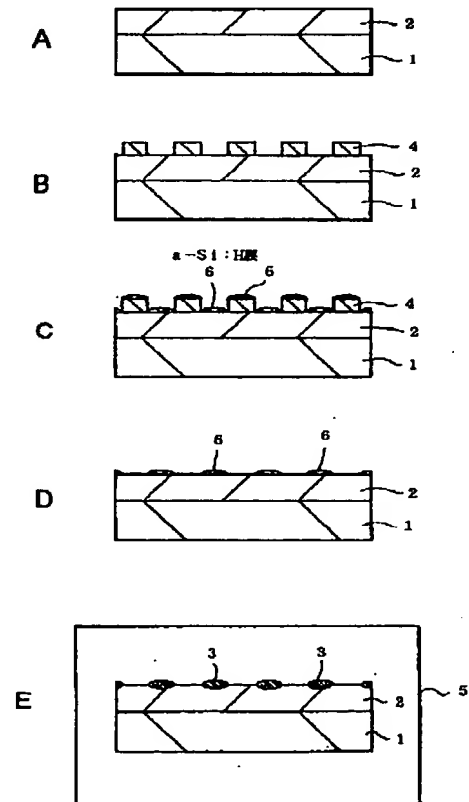
【図2】



【図3】



【図4】



Fターム(参考) 5F041 AA04 CA04 CA05 CA34 CA40  
CA46 CA54 CA57 CA65 CA71  
CA73 CA74 CA77 CB05  
5F045 AA04 AB04 AB09 AB14 AB17  
AC01 AC08 AC09 AC11 AD08  
AD11 AD12 AD13 AF04 AF09  
AF20 BB12 DC68 HA15